

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# THIN FILM TRANSISTOR ARRAY

PUB. NO.: 62-126677 [JP 62126677 A]

PUBLISHED: June 08, 1987 (19870608)

INVENTOR(s): IANAKA HIROHISA KISHI KOHEI KATO HIROAKI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation),  
JP(Japan)

APPL. NO.: 60-270355 [JP 85270355]

FILED: November 27, 1985 (19851127)

## ABSTRACT PURPOSE:

To improve insulation of an intersection part between a gate wiring and a source wiring, to suppress yield of leakage between a gate and source and to improve the yield rate of a TFT array, by providing two insulating layers, which hold a semiconductor layer that is a constituting film of the TFT, at the overlapped part of the source wiring and the gate wiring.

## CONSTITUTION:

A gate electrode 102 and a source electrode 107 of a thin film transistor (TFT) are provided on a substrate 101. A gate wiring 103 and a source wiring 108, which commonly link the electrodes 102 and 107, are intersected at a overlapping region. Both insulating layers 104 and 106, which hold a semiconductor layer that is a constituting film of the TFT, are provided at the overlapped region. For example, a TFT array is formed on the supporting substrate such as the glass substrate 101 and arranged in correspondence with the intersection of the gate wiring 103 and the source wiring 108. An SiNx film, which is a second insulating layer 106, is deposited on an a-Si layer 105, which is the semiconductor layer of the TFT. Then, one end part of the layer 106 is extended to the upper part of the source wiring 108 along the gate wiring 103. The second insulating layer 106 is provided at the intersecting part of the gate wiring 103 and the source wiring 108.

H 01 L 29/18  
G 02 F 1/133  
G 09 F 9/35  
H 01 L 27/12

3 2 7  
3 0 1

8422-5F  
8205-2H  
6731-5C  
7514-5F

審査請求 未請求 発明の数 1 (全6頁)

④発明の名称 薄膜トランジスタアレイ

⑤特 願 昭60-270355

⑥出 願 昭60(1985)11月27日

⑦発 明 者 田 仲 広 久 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑦発 明 者 岸 幸 平 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑦発 明 者 加 藤 博 章 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑧出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号  
⑧代 理 人 弁理士 杉山 毅三 外1名

明 細 書

1. 発明の名称

薄膜トランジスタアレイ

2. 特許請求の範囲

1. 基板上に並設された薄膜トランジスタのゲート電極とソース電極をそれぞれ共通に連結するゲート配線とソース配線が交差する重畳領域にTFTの構成膜である半導体層を挟持する絶縁層を2層とも介在させたことを特徴とする薄膜トランジスタアレイ。

2. 特許請求の範囲第1項において、

上記半導体層がアモルファスシリコン薄膜である薄膜トランジスタアレイ。

3. 特許請求の範囲第1項において、

上記絶縁層が酸化シリコン膜である薄膜トランジスタアレイ。

4. 特許請求の範囲第1項において、

上記絶縁層が酸化シリコン膜である薄膜トランジスタアレイ。

3. 発明の詳細な説明

(1)

(産業上の利用分野)

本発明は、製造の手配りの向上を図った構造を有する薄膜トランジスタ(以下TFTと略す)アレイに関する。

(従来技術)

近年、液晶のアクティブマトリクス表示において、絶縁性基板上にTFTをマトリクス状に形成したアクティブ・マトリクス基板の研究が活発に行なわれている。TFTに用いられる半導体材料としては、ポリSi、a(アモルファス)-Si、Te、CdSe等がある。a-Siを用いたTFTの構造の一例を第7図の部分断面図及び第8図の部分平面図に示す。第7図は、第8図のA-A線での断面を示す。ガラス基板1の上に、ゲート電極2、2、...を連結するゲート配線3を膜厚2,000~3,000ÅのTa、Mo、Ti、Al等の金属により形成する。ガラス基板1及びゲート電極2上に堆積されるゲート絶縁膜4は、プラズマCVD法によって形成した膜厚1,000~2,000Åの酸化シリコン(以下SiNxと略す)膜である(第8図において

(2)

2,000~3,000ÅのSiNx膜がアラマニ（V）正  
 荷より形成される。ソース電極7及びソース電極  
 7を導通するソース配線3はゲート配線3に直交  
 して形成される。ソース配線3にはソース電極7  
 と接続される分枝部8aが一定ピッチで並設され、  
 TFTは分枝部8aを中心に形成される。ソース  
 電極7とドレイン電極9とは、ともに膜厚2,000  
 ~10,000ÅのTa、Mo、Ti、Al等の金属により  
 形成する。なお、ソース電極7及びドレイン電極  
 9と $\alpha$ -Si膜5の間に、P（リン）をドーピングした  
 膜厚500~2,000Åの $\alpha$ -Si膜10を介在させ  
 ると、ソース電極7、ドレイン電極9と $\alpha$ -Si膜  
 5のオーミックコンタクトがとれ、好ましい。こ  
 のようにして、ゲート配線3とソース配線8との  
 交点毎にTFTがアレイ状に形成される。さらに、  
 各TFTに対応して、酸化インジウム等の透明導

(13)

電膜のリークが、ゲートのエッジ（縁部）とソー  
 スとが交差する部分（第5図における斜線部分）  
 において特に多発することを見出した。この原  
 因は、ゲート絶縁膜の膜厚がゲート電極の膜厚よ  
 り大きい（又は同じ程度である）ゆえに、ゲート配  
 線のエッジの部分の膜厚が薄くなって耐圧が低下  
 し、さらに、ゲート絶縁膜の膜厚が平坦な部分と  
 段差部分とで異なり、段差部分の方が絶縁性の面  
 で劣るためと考えられる。

本発明の目的は、TFTアレイの製造の歩留り  
 を向上し得るTFTアレイ構造を提供することにあ  
 る。即ち、本発明のTFTアレイは絶縁性基板上にゲ  
 ート電極、ゲート絶縁膜、半導体膜、第2の絶縁  
 膜、ソース電極、ドレイン電極を順次積層  
 してアレイ状に形成されるTFT構造において、  
 ソース配線とゲート配線の重畳部にも第2の絶縁  
 膜を介在させたことを特徴とする。

（発明の効果）

上記構成とすることにより、本発明においては、  
 ゲート配線とソース配線間の交差部の絶縁性を向

(5)

上において、マトリクス基板の各配線とに共通  
 のゲート配線からシグナル信号を入力し、共通の  
 ソース配線からデータ信号を入力する。ゲート配  
 線とソース配線との交点は多数であり、例えば  
 250・250マトリクス基板においては、62500  
 ヶ所存在する。この多数の交点のうち1ヶ所でも  
 ゲート・ソース間にリークが生じると必然的に該  
 当するゲート配線とソース配線で表示に誤り（十  
 字型のライン欠陥）が生じ、実用に耐えない表示  
 となり、アクティブ・マトリクス基板の歩留りは  
 ゼロとなる。このため、ゲート配線とソース配線  
 の数が増すにつれてゲート・ソース間の絶縁の確  
 率性がより一層要求されることとなる。

（問題点を解決するための手段）

本発明者らは、ゲート・ソース間のリーク箇所  
 を抑える方法によって調べた結果、ゲート・ソー

(4)

スに、ゲート・ソース間のリークの発生を抑制  
 してTFTアレイの歩留りを向上させている。従  
 ってこのTFTアレイ構造を用いた液晶表示装置  
 の製作が容易となり信頼性が高くなる。

＜実施例1＞

第1図は、本発明の1実施例を示すTFTアレイ  
 基板の部分平面図である。第2図は、第1図の  
 A-A線断面図（ゲート配線103とソース配線  
 108の交差部の部分断面図）である。TFTア  
 レイはガラス基板101等の支持基板上に形成さ  
 れ、ゲート配線103とソース配線108の交点  
 に対応して配置される。本実施例では第2の絶縁  
 膜106であるSiNx膜をTFTの半導体層であ  
 る $\alpha$ -Si膜105上に堆積した後、その片縁部を  
 ゲート配線103に沿ってソース配線108の上  
 方まで延ばさせ、ゲート配線103とソース配線  
 108の交差する部分に第2の絶縁膜106を介  
 挿することにより、ゲート・ソース間のリークを  
 大幅に減少させている。ソース配線108の分枝  
 部にはTFTのソース電極が連絡され、TFTの

(6)

をより減少させることができる。

第1図に示した構造を有するTFTアレイは例え第3図(A)~(D)に示すように製造される。第3図(A)~(D)に示すTFT製造工程の部分断面図は第1図のTFTにおいて図1~4の断面図を示す。まず、ガラス基板101上に2,000Å厚のTa(タングステン)層をスパッタリングにより全面に膜着し、ホットエッチングによって第1図に示すようなゲート配線103の形にパターン化して、第3図(A)に示すようにゲート電極102を形成する。このゲート電極102上に連続する如く半導体層が膜着され、TFTの動作部が形成される。次に第3図(B)に示すように、プラズマCVD法によりゲート絶縁層104となる3,000Å厚のSiNx膜、半導体層となる1,500Å厚のa-Si層105及び第2の絶縁層106である2,000Å厚のSiNx膜を全

(7)

ホットエッチングによりパターン化して絶縁電極110を形成する。

以上の製造工程を介して製作されるTFTはガラス基板101上にマトリクス状に配列されたゲート配線103とソース配線108の各交点に対応して配着され、TFTアレイ基板となる。ゲート配線103にシグナル信号、ソース配線108にデータ信号を入力することによりTFTがマトリクス駆動される。即ち、ゲート配線103のシグナル信号はゲート電極102より各ライン毎にTFTにゲート電圧として印加され、ソース配線108のデータ信号は分岐部を介して三層構造ソース配線107より各ライン毎にTFTにデータ電圧として印加される。このデータ電圧がa-Si層105を介してシグナル信号で同期制御を受け、二層構造ドレイン電極109より絶縁電極110に印加される。ソース配線107及びドレイン電極109のa-Si層はTFTを導体層であるa-Si層105とオームミックコンタクトを形成し、T1層は耐食性及び電導の機械的強度を向上させ

(7)

る。第1図に示した構造を有するTFTアレイは、第3図(A)~(D)に示すように製造される。第3図(A)~(D)に示すTFT製造工程は、第1図のE-E線断面図に対応している。まず、ガラス基板201上に2,000Å厚のMo層をスパッタリングにより全面に膜着し、ホットエッチングにより第1図に示すようなゲート配線203の形にパターン化して、第3図(A)に示すようにゲート電極202を形成する。このゲート電極202上に連続する如く半導体層が膜着され、TFTの動作部が形成される。次に第3図(B)に示すように、プラズマCVD法によりゲート絶縁層204となる3,000Å厚のSiNx膜、半導体層となる1,500Å厚のa-Si層205及び第2の絶縁層206である2,000Å厚のSiNx膜を全

(8)

る。

#### <実施例2>

第4図は、本発明の他の実施例を示すTFTアレイ基板の部分平面図である。第5図は第4図のD-D線断面図(ゲート配線203とソース配線208の交差部の部分断面図)である。実施例1同様第2の絶縁層206をパターン化する際にこれを2分割し、TFT側に位置する絶縁層206aとソース配線208上に位置する絶縁層206bとする。即ち、ゲート配線203とソース配線208の交差する部分に第2の絶縁層206bを残存させる。本実施例では第2の絶縁層206をSiO<sub>2</sub>(酸化シリコン)膜で形成しており、ゲート・ソース間のリークを大幅に減少させている。

第4図に示した構造を有するTFTアレイは、第5図(A)~(D)に示すように製造される。第5図(A)~(D)に示すTFT製造工程は、第1図のE-E線断面図に対応している。まず、ガラス基板201上に2,000Å厚のMo層をスパッタリングにより全面に膜着し、ホットエッチングにより第1図に示す

(8)

S i N x 膜及び T F T の半導体層である 1,500 Å 厚の a - S i 層 2 0 5 を全面に連続的に被覆し、ホットエッチングにより a - S i 層 2 0 5 を第 4 図に示す半導体層の形成パターン化する。この a - S i 層 2 0 5 は T F T の部分のみに形成される。さらに、第 6 図 (C) に示すように、プラズマ C V D 法により第 2 の絶縁層 2 0 6 である 3,000 Å 厚の S i O <sub>2</sub> 膜を全面に被覆し、ホットエッチングにより第 4 図に示す如く T F T 側の絶縁層 2 0 6 a とソース配線 2 0 8 との絶縁層 2 0 6 b に分割してパターン化する。次に第 6 図 (D) に示すように、プラズマ C V D 法により P (リン) をドーピングした a - S i 層を 1,000 Å、A l 層を 2,000 Å 連続して被覆しホットエッチングにより第 4 図に示すソース配線 2 0 8 及びドレイン電極 2 0 9 の形成パターン化してソース配線 2 0 7 及びドレイン電極 2 0 9 とし、T F T ア

(11)

第 2 の絶縁層、107, 207…ソース電極、108, 208…ソース配線、109, 209…ドレイン電極、110, 210…絶縁電極。

代理人 弁理士 福 士 愛 彦 (他 2 名)

T F T アレイ基板上に形成される、本発明の 1 実施例として第 2 の絶縁層 2 0 6 のみを被覆してソース配線 2 0 8 とゲート電極 2 0 3 の間に介挿している。

4. 図面の簡単な説明

第 1 図及び第 4 図はそれぞれ本発明の 1 実施例を示す T F T アレイ基板の要部断面図である。

第 2 図及び第 5 図はそれぞれ第 1 図及び第 4 図の A - A 断面及び D - D 断面図である。

第 3 図 (A) 乃至 (D) 及び第 6 図 (A) 乃至 (D) はそれぞれ第 1 図及び第 4 図に示す実施例の製造工程図である。

第 7 図及び第 8 図はそれぞれ従来の a - S i - T F T アレイ基板の要部断面図及び要部平面図である。

101, 201…絶縁基板、102, 202…ゲート電極、103, 203…ゲート配線、104, 204…ゲート絶縁層、105, 205…a - S i 層、106, 206…

02

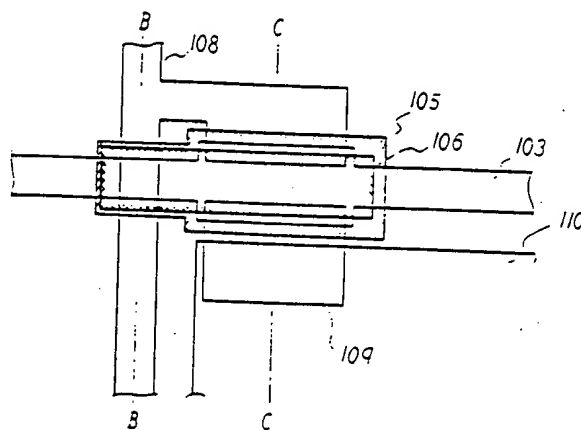
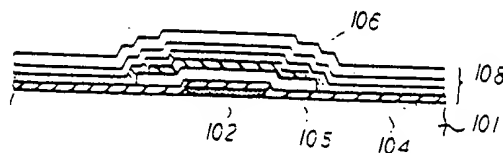


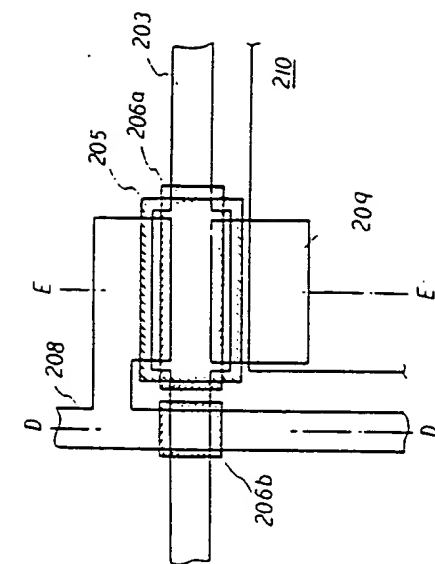
図 1 図



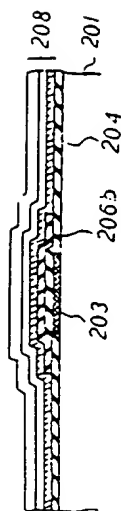
B - B 断面図

図 2 図

03

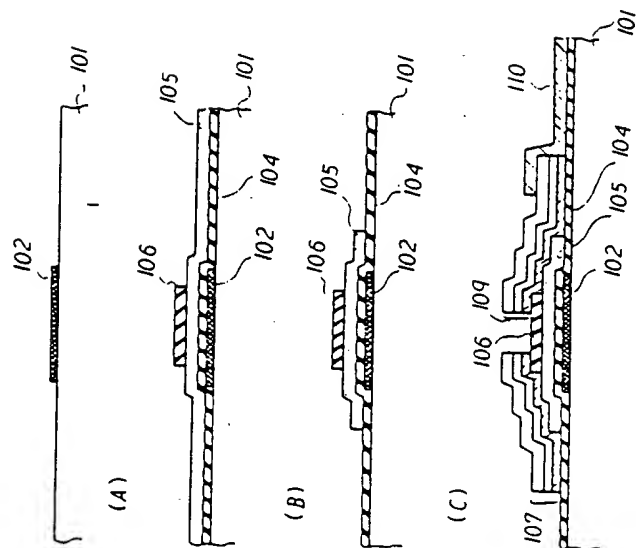


四ノ五



**D - Dugout**

第五圖



C-C 案 查 案

3 城

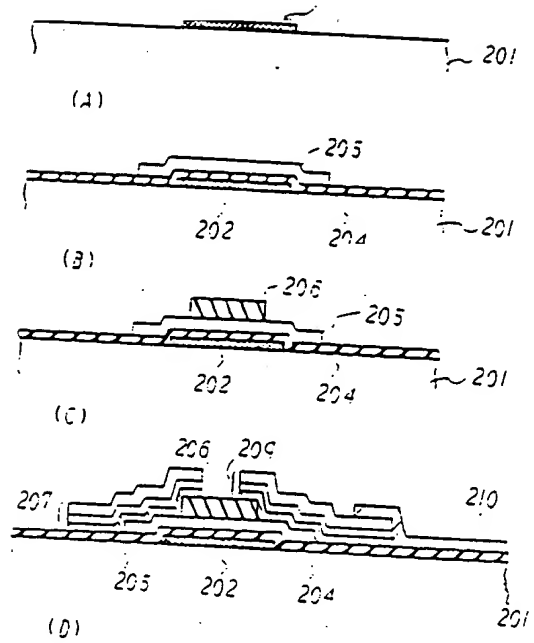


FIG. 6

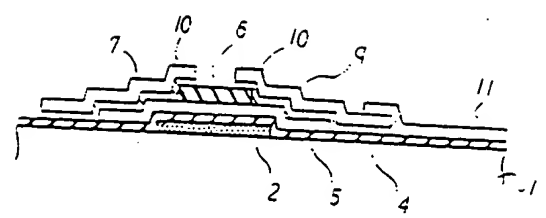


FIG. 7

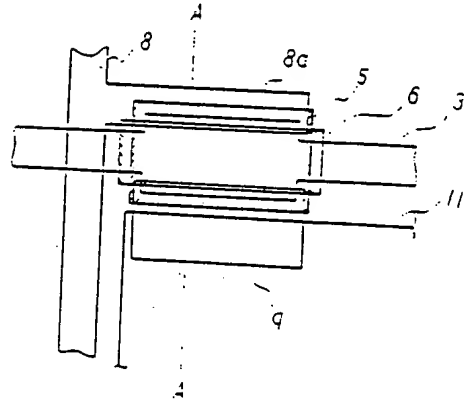


FIG. 8